

**CARRY LOOK-AHEAD ADDER**

Patent Number: JP5061643  
Publication date: 1993-03-12  
Inventor(s): TSUJIHASHI YOSHIKI; others: 01  
Applicant(s): MITSUBISHI ELECTRIC CORP  
Requested Patent:  JP5061643  
Application Number: JP19910222833 19910903  
Priority Number(s):  
IPC Classification: G06F7/50  
EC Classification:  
Equivalents:

---

**Abstract**

---

PURPOSE: To speed up carry propagation in an adder using a carry look-ahead system.

CONSTITUTION: The carry look-ahead system is hierarchically used for plural adders (ADDS) 1a-0, 1a-1... each of which forms a sum output, a carry forming signal and a carry propagation signal from two input signals to be added and a carry-in signal from a lower digit, plural carry formation/propagation signal forming circuits (4GPs) 1c-0, 1c-1... for inputting carry forming signals and carry propagation signals formed from respective ADDs and forming carry formation signals and carry propagation signals corresponding to plural bits and plural carry by-pass circuits (CLAs) 1b-0, 1b-1... for forming carry-out signals to upper digits from respective carry formation signals, carry propagation signals and carry-in signals from respective lower digits and the value of the initial CLA is constituted so as to be minimum in all the CLAs excluding the final CLA.

---

Data supplied from the esp@cenet database - I2

(51)Int.Cl.<sup>5</sup>  
G 0 6 F

7/50

識別記号 府内整理番号  
G 9291-5B

F I

技術表示箇所

(21)出願番号 特願平3-222833  
 (22)出願日 平成3年(1991)9月3日

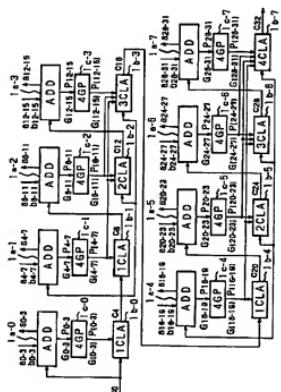
(71)出願人 000006013  
 三菱電機株式会社  
 東京都千代田区丸の内二丁目2番3号  
 (72)発明者 辻橋 良樹  
 兵庫県伊丹市瑞原4丁目1番地 三菱電機  
 株式会社カスタム・エル・エス・アイ設計  
 技術開発センター内  
 (72)発明者 松本 尚  
 兵庫県伊丹市瑞原4丁目1番地 三菱電機  
 株式会社カスタム・エル・エス・アイ設計  
 技術開発センター内  
 (74)代理人 井理士 高田 守 (外1名)

## (54)【発明の名称】 キャリールックアヘッド加算器

## (57)【要約】 (修正有)

【目的】 キャリールックアヘッド方式を用いる加算器において、キャリー伝搬をより高速化する。

【構成】 加算対象である2組の入力信号と、下位桁からのキャリーイン信号とから、和出力と、キャリー生成信号と、キャリー伝搬信号とを生成する複数の加算器(ADD)1a-0, 1a-1 …に対して、それぞれが生成するキャリー生成信号と、キャリー伝搬信号とを人力とし、複数ビット分のキャリー生成信号とキャリー伝搬信号とを生成する複数のキャリー生成／伝搬信号生成回路(4GP)1c-0, 1c-1 …と、それぞれがキャリー生成信号と、キャリー伝搬信号と、下位桁からのキャリーイン信号とから、上位桁へのキャリーアウト信号を生成する複数のキャリーパイバス回路(4CLA)1b-0, 1b-1…とでキャリールックアヘッド方式が階層的に用いられ、初段に位置するキャリーパイバス回路(4CLA)の数が最終段を除く全てのキャリーパイバス回路(4CLA)の中で最小となるように構成する。



## 【特許請求の範囲】

【請求項1】 それぞれが加算対象である2組の1ビットの入力信号と、下位桁からのキャリーワイン信号とから、1ビットの和出力と、1ビットのキャリー生成信号と、1ビットのキャリー伝搬信号とを生成する複数の第1の演算回路と、  
それぞれが前記各第1の演算回路が生成する1ビットのキャリー生成信号と、1ビットのキャリー伝搬信号とを入力とし、1ビット分のキャリー生成信号と1ビット分のキャリー伝搬信号とを生成する複数の第2の演算回路と、  
それぞれがjビットのキャリー生成信号と、jビットのキャリー伝搬信号と、下位桁からのキャリーイン信号とから、上位桁へのキャリーアウト信号を生成する複数の第3の演算回路とを備えたキャリールックアヘッド加算器において、  
前記複数の第3の演算回路は、

相互に入力のビット数jが異なり、且つ共通のキャリーイン信号が与えられる複数のグループを構成し、各グループ内の最大の入力ビット数の第3の演算回路のキャリーアウト信号が上位桁側のグループのキャリーイン信号として順次与えられ、  
最下位桁側に位置するグループを構成する第3の演算回路の数が最上位桁側を除く他の全てのグループ中で最小となるようにキャリーイン信号が与えられていることを特徴とするキャリールックアヘッド加算器。

【請求項2】 最下位桁側に位置するグループを構成する第3の演算回路の数が1であることを特徴とする請求項1に記載のキャリールックアヘッド加算器。  
【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は2位デジタル演算装置であるキャリールックアヘッド加算器に関し、更に詳述すれば、階層的キャリールックアヘッド方式を用いたキャリールックアヘッド加算器におけるキャリー伝搬の改良に関するもの。

## 【0002】

【従来の技術】 マルチプロセッサ、DSP(ディジタルシグナルプロセッサ)等の演算部の中核はデジタルデータの加算機能により構成されている。代表的なデジタル加算器としてリップルripple加算器が知られている。以下にまずリップル加算器について説明する。

【0003】 リップル加算器は1ビット全加算器にて構成される。全加算器は、加算対象である二つの数と下位桁からのキャリーワインとを加算し、和とキャリーアウトとを出力する。全加算器のキャリーアウトは、隣合う上位桁のキャリーワインとして機能するので、n個の全加算器をそれぞれ隣合う下位桁のキャリーアウトと上位桁のキャリーワインとを順次接続すれば、nビットのリップル加算器を構成することが出来る。

【0004】 しかし、リップル加算器においては、ある桁の加算を行う前にその下位桁のキャリーが確定している必要があるため、演算実行時間は加算対象の数の桁数に比例する。従って、近年の処理ビット数の増大、即ち8ビットから16ビットへ、更に32ビットへの処理ビット数の増大に伴って、演算処理時間が長大化するという問題が生じつつある。

【0005】 このような問題の解決を目的として、キャリールックアヘッド方式の加算器が開発されている。代表的なキャリールックアヘッド回路は、加算されるべき所定数のビットを調べることにより、各ビットを加算して和を算出する前にキャリーアウトを発生する。従つて、代表的なキャリールックアヘッド方式による加算器は、一对の4ビットをまとめて1グループとし、各グループにおける和を出力する前に次のグループへのキャリーアウトを供給する。即ち、キャリールックアヘッド方式による加算器は、全てのビットに亘ってキャリーが伝搬する際のゲート段数を低減することにより、演算実行時間の短縮を図っている。

【0006】 以下、従来の加算器のキャリー伝搬について図面を参照して説明する。

【0007】 図1は32ビットリップルキャリー加算器の従来の構成例を示すブロック図である。

【0008】 図1において、参照符号4a-0, 4a-1…4a-31はそれぞれ1ビットの全加算器(FA)を示している。これらの全加算器4a-0, 4a-1…4a-31により、キャリーインと共に加算対象である二つの32ビットの数a及びbを加算し、和及びキャリーアウトを生成する。たとえば、最下位ビットである0ビット目の全加算器4a-0は、キャリーインc<sub>0</sub>と加算対象である32ビット数a及びbの0ビット目a<sub>0</sub>, b<sub>0</sub>を入力し、和の0ビット目s<sub>0</sub>と、1ビット目へのキャリーc<sub>1</sub>を生成する。

【0009】 同様の処理が1ビット目の全加算器4a-1でも行われる。即ち、1ビット目の全加算器4a-1は、キャリーインc<sub>1</sub>、加算対象である32ビット数の1ビット目a<sub>1</sub>及び32ビット数bの1ビット目b<sub>1</sub>を入力し、和の1ビット目s<sub>1</sub>と2ビット目へのキャリーc<sub>2</sub>を生成する。

【0010】 以下、同様の処理が2ビット目から31ビット目までの各全加算器4a-2, 4a-3…4a-31で順次反復されることにより、加算対象である32ビット数aと同じくbとの加算が実行される。

【0011】 以上のように、32ビットリップルキャリー加算器の場合には、逐次32回のキャリー伝搬が発生するため、1回のキャリー伝搬に要する時間の32倍の時間が経過した後にキャリーc<sub>31</sub>が生成される。

【0012】 図2はキャリールックアヘッド方式の32ビット加算器の従来の構成例を示すブロック図である。

【0013】 図2において、参照符号5a-0, 5a-1…5a-7はいずれも4ビット加算器(ADD)を示している。これら

3

の各4ビット加算器(ADD)5a-0, 5a-1 … 5a-7により、キャリーインと共に加算対象である二つの4ビット数a及びbを加算し、4ビットのキャリー生成信号G、4ビットのキャリー伝搬信号P及び4ビットの和sを生成する。

【0014】参照符号5b-0, 5b-1 … 5b-7は4ビットキャリーパイバス回路(4CLA)を示している。これらの各4ビットキャリーパイバス回路(4CLA)5b-0, 5b-1 … 5b-7により、前段からのキャリーインc<sub>0</sub>, c<sub>1</sub> … c<sub>3</sub>と各4ビット加算器(ADD)5a-0, 5a-1 … 5a-7の4ビットのキャリー生成信号G<sub>0-3</sub>, G<sub>1-4</sub> … G<sub>3-7</sub>及び4ビットのキャリー伝搬信号P<sub>0-3</sub>, P<sub>1-4</sub> … P<sub>3-7</sub>とから4ビットの上位桁へのキャリーアウトc<sub>4</sub>, c<sub>5</sub> … c<sub>7</sub>が生成される。

【0015】各4ビット加算器(ADD)5a-0, 5a-1 … 5a-7 \* [0018]  $c_{n+1} = G_n + P_n \cdot c_n \quad \cdots (4)$

\*の内部では以下の論理式(1), (2), (3), (4)に基づいて演算が実行される。

【0016】

【数1】

$$G_n = a_n \cdot b_n \quad \cdots (1)$$

【0017】

【数2】

$$P_n = a_n \oplus b_n \quad \cdots (2)$$

【0018】

【数3】

$$s_n = P_n \oplus c_n \quad \cdots (3)$$

【0019】

【数4】

【0020】また、各4ビットキャリーパイバス回路(4CLA)5b-0, 5b-1 … 5b-7の内部では以下の論理式(5), (6), (7)に基づいて演算が実行されている。

$$\begin{aligned} G_{(n-1)+1} &= G_{n+3} + P_{n+3} \cdot G_{n+2} + P_{n+2} \cdot P_{n+1} + G_{n+1} \\ &\quad + P_{n+3} \cdot P_{n+2} \cdot P_{n+1} \cdot G_n \quad \cdots (5) \end{aligned}$$

【0022】

$$P_{(n-1)+1} = P_{n+3} \cdot P_{n+2} \cdot P_{n+1} \cdot P_n \quad \cdots (6)$$

【0023】

$$c_{n+4} = G_{(n-1)+1} + P_{(n-1)+1} \cdot c_n \quad \cdots (7)$$

【0024】上記式(5), (6), (7)において、G<sub>(n-1)+1</sub>及びP<sub>(n-1)+1</sub>はそれぞれ4ビット分のキャリー生成信号及びキャリー伝搬信号である。このような論理式を実現するための回路構成としては既に種々の回路が提案されている。

【0025】ところで上述の論理式において、キャリー生成信号G及びキャリー伝搬信号Pは加算対象である数a及びbのみに依存しており、全ての桁において常に実行可能である。従って、キャリー伝搬は各4ビットそれぞれについて1回であり、c<sub>0</sub>からc<sub>3</sub>までのキャリーワーの伝搬遅延時間は、リップル加算器の場合約1/4に短縮される。但しより正確には、二つの32ビット数a及びbとキャリーインc<sub>0</sub>とが同時にに入力された場合のクリティカルパスは、最下位の4ビット加算器(ADD)5a-0へのa, b入力から他の全ての4ビット加算器(ADD)5a-1, 5a-2 … 5a-7を信号が通過するパスである。これは、c<sub>0</sub>を生成する4ビットキャリーパイバス回路(4CLA)5b-0への入力G<sub>0-3</sub>及びP<sub>0-3</sub>がc<sub>0</sub>よりも遅いためである。

【0026】図3は階層的にキャリールックアヘッド方式を用いた32ビット加算器の従来の構成を示すブロック図である。

【0027】図3において、参照符号6a-0, 6a-1 … 6a-7はいずれも4ビット加算器(ADD)である。これらの各4ビット加算器(ADD)6a-0, 6a-1 … 6a-7はそれぞれ、キャリーインc(c<sub>0</sub>, c<sub>1</sub> … c<sub>3</sub>)と共に加算対象である二つの4ビット数(a<sub>0-3</sub>, a<sub>1-4</sub> … a<sub>3-7</sub>)及びb(b<sub>0-3</sub>, b<sub>1-4</sub> … b<sub>3-7</sub>)を加算し、4ビットのキャリー生成信号G(G<sub>0-3</sub>, G<sub>1-4</sub> … G<sub>3-7</sub>)、4ビットのキャリー伝搬信号P(P<sub>0-3</sub>, P<sub>1-4</sub> … P<sub>3-7</sub>)及び4ビットの和s(s<sub>0-3</sub>, s<sub>1-4</sub> … s<sub>3-7</sub>)を生成する。

【0028】参照符号6c-0, 6c-1 … 6c-7はキャリールックアヘッド1階層目の回路である4ビット分のキャリー生成/伝搬信号生成回路(4GP)である。これらの各4ビット分のキャリー生成/伝搬信号生成回路(4GP)6c-0, 6c-1 … 6c-7はそれぞれ対応する4ビット加算器(ADD)6a-0, 6a-1 … 6a-7が生成した4ビットのキャリー生成信号



剤が均衡せず、加算器のキャリー伝播をより高速化するまでの障害となっている。

【0043】本発明はこのような事情に鑑みてなされたものであり、階層的にキャリールックアヘッド方式を用いる加算器において、キャリー伝搬をより高速化することを目的とする。

## 【0044】

【課題を解決するための手段】本発明に係るキャリールックアヘッド加算器は、加算対象である2組の1ビットの入力信号と、下位桁からのキャリーイン信号とから、1ビットの和出力と、1ビットのキャリー生成信号と、1ビットのキャリー伝搬信号を生成する複数の第1の演算回路に対して、それそれが各第1の演算回路が生成する1ビットのキャリー生成信号と、1ビットのキャリー伝搬信号とを入力とし、1ビット分のキャリー生成信号と1ビット分のキャリー伝搬信号とを生成する複数の第2の演算回路と、それそれが1ビットのキャリー生成信号と、jビットのキャリー伝搬信号と、下位桁からのキャリーイン信号とから、上位桁へのキャリーラックアヘッド方式が階層的に用いられ、複数の第3の演算回路が、相互に入力のビット数が異なり、且つ共通のキャリーイン信号が与えられる複数のグループを構成し、各グループ内の最大の入力ビット数の第3の演算回路のキャリーアウト信号が上位桁側のグループのキャリーイン信号として順次与えられ、最下位桁側に位置するグループが構成する第3の演算回路の数が最高位桁側を除く他の全てのグループ中で最小となるようにキャリーイン信号が与えられる。

## 【0045】

【作用】本発明に係るキャリールックアヘッド加算器では、加算対象である2組の1ビットの入力信号が下位桁からのキャリーイン信号と第1の演算回路で加算され、1ビットの和出力と、1ビットのキャリー生成信号と、1ビットのキャリー伝搬信号とが生成される。各第1の演算回路が生成した1ビットのキャリー生成信号と、1ビットのキャリー伝搬信号とは各第1の演算回路に対応する第2の演算回路に入力されて1ビット分のキャリー生成信号と1ビット分のキャリー伝搬信号とが生成される。これらはjビットのキャリー生成信号と、jビットのキャリー伝搬信号と、下位桁からのキャリーイン信号としてそれそれが複数の第3の演算回路に入力されて上位桁へのキャリーアウト信号が生成される。この際、最下位桁側に位置する第3の演算回路のグループを構成する第3の演算回路の数が最高位桁側を除く全ての第3の演算回路のグループの中で最小となるように構成されているので、下位桁側に配置されている第3の回路がキャリー信号をバイパスさせることによる入力信号の到達時間が均衡させ、加算器のキャリー伝搬が高速化される。

## 【0046】

【実施例】以下、本発明をその実施例を示す図面に基づいて詳述する。

【0047】図4は本発明に係る階層的にキャリールックアヘッド方式を用いた32ビットキャリールックアヘッド加算器の一構成例を示すブロック図である。

【0048】図4において、参照符号la-0, la-1…la-7はいずれも4ビット加算器(ADD)である。これらの各4ビット加算器(ADD)la-0, la-1…la-7はそれぞれ、キャリーイン(c<sub>0</sub>, c<sub>1</sub>…c<sub>31</sub>)と共に加算対象である二つの4ビット数a (b<sub>0-3</sub>, b<sub>4-7</sub>…b<sub>32-35</sub>)及びb (b<sub>0-3</sub>, b<sub>4-7</sub>…b<sub>32-35</sub>)を加算し、4ビットのキャリー生成信号G (G<sub>0-1</sub>, G<sub>2-3</sub>…G<sub>32-33</sub>)、4ビットのキャリー伝搬信号P (P<sub>0-1</sub>, P<sub>2-3</sub>…P<sub>32-33</sub>)及び4ビットの和s (s<sub>0-3</sub>, s<sub>4-7</sub>…s<sub>32-35</sub>)を生成する。

【0049】参照符号lc-0, lc-1…lc-7はキャリールックアヘッド1階層目の回路である4ビット分のキャリー生成/伝搬信号生成回路(4GP)である。これらの各キャリー生成/伝搬信号生成回路(4GP)lc-0, lc-1…lc-7は、それぞれ対応する4ビット加算器la-0, la-1…la-7(ADD)が生成した4ビットのキャリー生成信号G (G<sub>0-1</sub>, G<sub>2-3</sub>…G<sub>32-33</sub>)と4ビットのキャリー伝搬信号P (P<sub>0-1</sub>, P<sub>2-3</sub>…P<sub>32-33</sub>)とから、4ビット分のキャリー生成信号G<sub>i</sub> (G<sub>(0-1)</sub>, G<sub>(2-3)</sub>…G<sub>(32-33)</sub>)と4ビット分のキャリー伝搬信号P<sub>i</sub> (P<sub>(0-1)</sub>, P<sub>(2-3)</sub>…P<sub>(32-33)</sub>)とを生成する。

【0050】また、参照符号lb-0, lb-1…lb-7はキャリールックアヘッド2階層目の回路であるキャリーバイバス回路(1CLA, 1CLA, 2CLA, 2CLA, 3CLA, 1CLA, 2CLA, 3CLA, 4CLA)である。これらの各キャリーバイバス回路(1CLA, 1CLA, 2CLA, 3CLA, 1CLA, 2CLA, 3CLA, 4CLA)lb-0, lb-1…lb-7は、それぞれ対応するキャリーバイバス回路lb-0, lb-1…lb-7(4GP)が生成した1, 1, 2, 3, 1, 2, 3, 4ビットのキャリー生成信号G<sub>j</sub> (G<sub>(0-1)</sub>, G<sub>(2-3)</sub>…G<sub>(32-33)</sub>)とキャリー伝搬信号P<sub>j</sub> (P<sub>(0-1)</sub>, P<sub>(2-3)</sub>…P<sub>(32-33)</sub>)とを入力してキャリーをバイバスする。

【0051】キャリーバイバス回路(1CLA)lb-0にはキャリーイン信号c<sub>0</sub>が、キャリーバイバス回路(1CLA, 2CLA, 3CLA)lb-1, lb-2, lb-3にはキャリーバイバス回路(1CLA)lb-0からのキャリーアウト信号c<sub>1</sub>がキャリーイン信号として、キャリーバイバス回路(1CLA, 2CLA, 3CLA, 4CLA)lb-4, lb-5, lb-6, lb-7にはキャリーバイバス回路(3CLA)lb-3からのキャリーアウト信号c<sub>1</sub>がキャリーイン信号としてそれぞれ入力されている。

【0052】そして、キャリーバイバス回路(1CLA)lb-0にはキャリー生成/伝搬信号生成回路(4GP)lc-0からのキャリー生成信号G<sub>(0-1)</sub>とキャリー伝搬信号P<sub>(0-1)</sub>とが、キャリーバイバス回路(1CLA)lb-1にはキャリー生

成/伝搬信号生成回路(4GP)lc-1からのキャリー生成信

号  $G_{(4-7)}$  とキャリー伝搬信号  $P_{(4-7)}$  とが、キャリーバイバス回路(2CLA)1b-2にはキャリー生成／伝搬信号生成回路(4GP)1c-1, 1c-2 からのキャリー生成信号  $G_{(4-7)}$  及び  $G_{(12-15)}$  とキャリー伝搬信号  $P_{(4-7)}$  及び  $P_{(12-15)}$  とが、キャリーバイバス回路(2CLA)1b-3にはキャリー生成／伝搬信号生成回路(4GP)1c-1, 1c-2, 1c-3 からのキャリー生成信号  $G_{(4-7)}$ ,  $G_{(12-15)}$  及び  $G_{(18-21)}$  とキャリー伝搬信号  $P_{(4-7)}$ ,  $P_{(12-15)}$  及び  $P_{(18-21)}$  とがそれぞれ入力されている。

【0053】更に、キャリーバイバス回路(1CLA)1b-4にはキャリー生成／伝搬信号生成回路(4GP)1c-4 からのキャリー生成信号  $G_{(18-21)}$  とキャリー伝搬信号  $P_{(18-21)}$  とが、キャリーバイバス回路(1CLA)1b-5にはキャリー生成／伝搬信号生成回路(4GP)1c-4, 1c-5 からのキャリー生成信号  $G_{(18-21)}$  及び  $G_{(20-23)}$  とキャリー伝搬信号  $P_{(18-21)}$  及び  $P_{(20-23)}$  とが、キャリーバイバス回路(1CLA)1b-6 からのキャリー生成回路(4GP)1c-4, 1c-5, 1c-6, 1c-7 からのキャリー生成信号  $G_{(18-21)}$ ,  $G_{(20-23)}$ ,  $G_{(24-27)}$  及び  $G_{(28-31)}$  とキャリー伝搬信号  $P_{(18-21)}$ ,  $P_{(20-23)}$ ,  $P_{(24-27)}$  及び  $P_{(28-31)}$  とがそれぞれ入力されている。

【0054】即ち、最下位階層である初段階から順に、1個のキャリーバイバス回路(1CLA)1b-0, 3個のキャリーバイバス回路(1CLA, 2CLA, 3CLA)1b-1, 1b-2, 1b-3, 4個のキャリーバイバス回路(1CLA, 2CLA, 3CLA, 4CLA)1b-4, 1b-5, 1b-6, 1b-7がグループ化されている。

【0055】4ビット分のキャリー生成／伝搬信号生成回路(4GP)1c-0, 1c-1…1c-7では、式(5)及び(6)と同じ演算が実行される。たとえば、最下位の4ビット分のキャリー生成／伝搬信号生成回路(4GP)1c-0 では、以下の演算を実行する。

【0056】

$$G_{(0-3)} = G_0 + P_0 \cdot G_1 + P_1 \cdot G_2 + P_2 \cdot G_3 + P_3 \cdot G_4$$

【0057】 $P_{(0-3)} = P_0 \cdot P_1 \cdot P_2 \cdot P_3$

【0058】また、キャリーリックアップヘッド2階層目の回路であるキャリーバイバス回路(1CLA)1b-0では4ビット、同(1CLA)1b-1では8ビット、同(2CLA)1b-2では12ビット、同(3CLA)1b-3では16ビットそれぞれ上位へのキャリーアウトを生成する。たとえば、キャリーバイバス回路(1CLA)1b-0では、

$$c_{12} = G_{(8-11)} + P_{(8-11)} \cdot G_{(4-7)} + P_{(4-7)} \cdot P_{(4-7)} \cdot c_0$$

となる。

【0059】キャリーバイバス回路(1CLA)1b-3では、

$$\begin{aligned} c_{16} &= G_{(12-15)} + P_{(12-15)} \cdot G_{(8-11)} + P_{(8-11)} \cdot P_{(4-7)} \cdot G_{(4-7)} \\ &\quad + P_{(4-7)} \cdot P_{(4-7)} \cdot P_{(4-7)} \cdot c_0 \end{aligned}$$

となる。

【0062】ここで、 $c_0$  から  $c_{15}$ までのキャリーの伝搬遅延時間を考える場合、二つの32ビット数  $a$  及び  $b$  とキャリーワイド  $c_0$  とが同時に入力された場合のクリティカルパスは、最下位から2番目の4ビット加算器(ADD)1b-1 への二つの32ビット数  $a$  及び  $b$  の入力から4ビット加算器(ADD)1a-1, 4ビット分のキャリー生成／伝搬信号生成回路(4GP)1c-1, キャリーバイバス回路1b-3(3CLA), 同じく1b-7(4CLA)へと信号が通過するパスである。これは、 $c_{15}$  から  $c_0$  を生成するのは、キャリーバイバス回路1b-7(4CLA)の1段のみであるが、 $c_{15}$  を生成するキャリーバイバス回路1b-3(3CLA)への入力  $G_{(1)}$  及び  $P_{(1)}$  が  $c_0$  よりも遅いためである。

【0063】ところで、 $c_0$  を生成する回路は、図3に示されている従来の回路の場合はキャリーバイバス回路(4CLA)6b-3であり、この回路へのクリティカルな入力  $G_{(1)}$  及び  $P_{(1)}$  が  $c_0$  よりも遅いためである。

【0064】ここで、 $c_0$  を生成する回路は、図3に示されている従来の回路の場合はキャリーバイバス回路(4CLA)6b-3であり、この回路へのクリティカルな入力  $G_{(1)}$  及び  $P_{(1)}$  が4個のキャリーバイバス回路(1CL

$A, 2CLA, 3CLA, 4CLA)6b-0, 6b-1, 6b-2, 6b-3$ に接続さ

れているものに対して、図4に示されている構成の本発明の回路では、 $c_{15}$  を生成するキャリーバイバス回路(3CL

A)1b-3へのクリティカルな入力  $G_{(1)}$  及び  $P_{(1)}$  は3個のキャリーバイバス回路(1CLA, 2CLA, 3CLA)1b-1, 1b-2, 1b-3に接続されているため、配線長はより短く、負荷容量もない。

【0064】ここで、キャリーバイバス回路(2CLA)1b-2と同(3CLA)1b-3を比較してみる。図5及び図6はそれぞれキャリーバイバス回路(4CLA)1b-7と同(3CLA)1b-3をMOSトランジスタで構成した場合の回路図を示している。

【0065】図5及び図6において、参照符号  $p1, p2 \dots, p11, p12$ : p型 MOSトランジスタを、 $n1, n2 \dots, n11, n12$ : n型 MOSトランジスタをそれぞれ示す。

【0066】図5に示されているように、キャリーバイバス回路(4CLA)1b-7では、 $G_{(1)}$  が入力されるp型 MOS

トランジスタP1, P2, P3, P4が直列に4個必要である。しかし、図6に示されているように、キャリーバイバス回路(3CLA)1b-3ではP11, P12, P13が直列に3個で済む。これはP<sub>i-1</sub>が入力されるn型MOSトランジスタに関するものである。このため、同等の大きさのMOSトランジスタで構成した場合には、キャリーバイバス回路(4CLA)1bよりも同(3CLA)1b-3の方がG<sub>i-1</sub>及びP<sub>i-1</sub>の入力から出力までの遅延は小さい。

【0067】なお、上記実施例では32ビットのキャリールックアヘッド加算器について説明したが、32ビット以外のビット数の加算器にも本発明が適用可能であることは言うまでもない。また、キャリーリックアヘッド1階層目を構成するビット数が4ビット均一である場合を示したが、他のビット数でもよく、更に均一である必要もない。また、加算器のキャリーリックアヘッドの階層が3階層以上であってもよい。

## 【0068】

【発明の効果】以上に詳述した如く、本発明のキャリーリックアヘッド加算器によれば、初段に位置するキャリーリックアヘッド上位階層のグループを構成する下位階層のグループの数が最終段を除く全ての上位階層のグループの中で最小となるように構成されているので、クリ

タルバスとなる信号線の配線長が短くなり、負荷容量が低減し、回路規模が縮小され、このためキャリー伝搬が高速化されるなどの優れた効果を有する。

## 【図面の簡単な説明】

【図1】32ビットリップルキャリーアド加算器の従来の構成例を示すブロック図である。

【図2】キャリーリックアヘッド方式の32ビット加算器の従来の構成例を示すブロック図である。

【図3】階層的にキャリーリックアヘッド方式を用いた32ビット加算器の従来の構成を示すブロック図である。

【図4】本発明に係る階層的にキャリーリックアヘッド方式を用いた32ビットキャリーリックアヘッド加算器の一構成例を示すブロック図である。

【図5】キャリーバイバス回路(4CLA)をMOSトランジスタで構成した場合の回路図である。

【図6】キャリーバイバス回路(3CLA)をMOSトランジスタで構成した場合の回路図である。

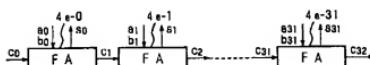
## 【図の説明】

1a-1, 1a-2… 加算器(ADD)

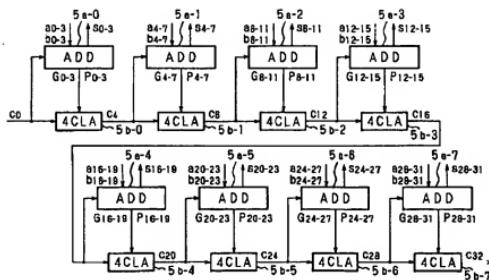
20 1b-0, 1b-1… キャリーバイバス回路(4CLA)

1c-0, 1c-1… キャリーゲン/伝搬信号生成回路 (4 G P)

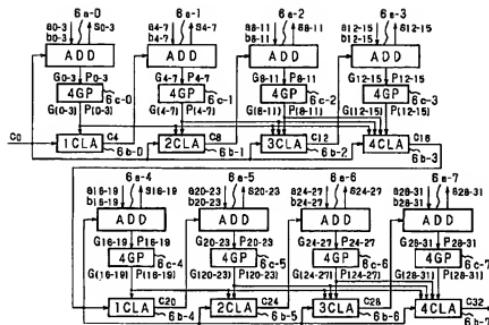
【図1】



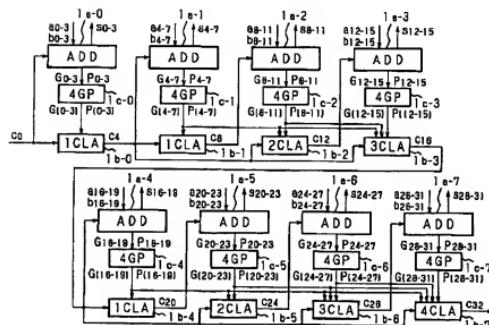
【図2】



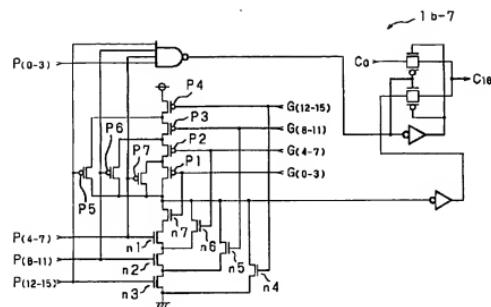
【図3】



【図4】



[図5]



[図6]

